

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-313934  
 (43)Date of publication of application : 29.11.1996

(51)Int.Cl. G02F 1/136  
 H01L 29/786

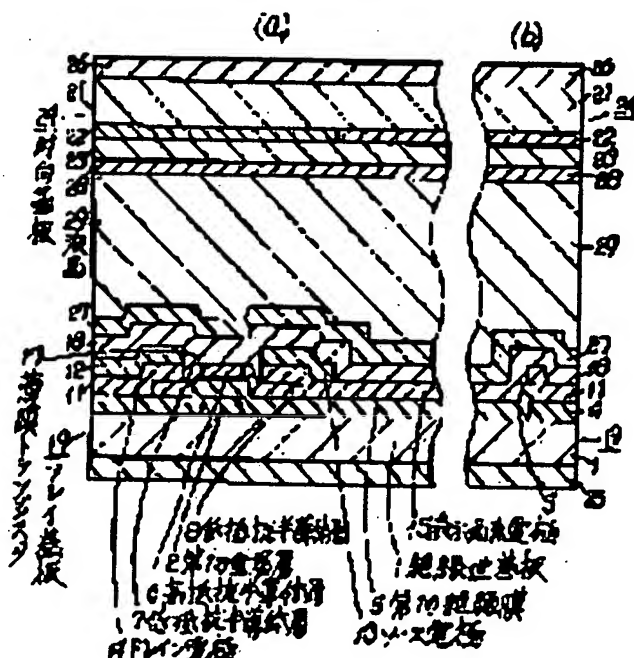
(21)Application number : 07-122452 (71)Applicant : TOSHIBA CORP  
 (22)Date of filing : 22.05.1995 (72)Inventor : MIURA YASUNORI  
 KATSUKADO  
 RAMESHIYU  
 SHIBUSAWA MAKOTO  
 HONJO MASUSHI  
 JINNAI NORIHIDE

## (54) ARRAY SUBSTRATE, ITS PRODUCTION, LIQUID CRYSTAL DISPLAY DEVICE AND ITS PRODUCTION

### (57)Abstract:

PURPOSE: To provide a liquid crystal display device with which production stages are decreased without degrading its performance or without degrading its yield.

CONSTITUTION: Gate electrodes 2 are formed on one main surface of a glass substrate 1 and a gate insulating film 5 consisting of silicon oxide is formed. A high-resistance i-type amorphous silicon layer 6 is formed on the gate insulating film 5 corresponding to the gate electrodes 2 and low-resistance n-type polycrystalline silicon layers 7, 8 are formed adjacently thereto. Source electrodes 13 and drain electrodes 14 are formed by laminating transparent conductive films 11 consisting of ITO and molybdenum layers 12. Display pixel



electrodes 15 are formed by extending the transparent conductive films 11 on the source electrode 13 side. A protective insulating film 18 consisting of silicon nitride is formed on thin-film transistors 17 over the entire surface, by which a matrix array substrate 19 is constituted. Color filters 22 and counter electrodes 23 are laminated and formed on the glass substrate 21 and a counter substrate 24 is formed. Liquid crystals 29 are enclosed and held between the matrix array substrate 19 and the counter substrate 24.

---

## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁(J P)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平8-313934

(43)公開日 平成8年(1996)11月29日

(51)Int.Cl. <sup>4</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F 1/136	5 0 0		G 0 2 F 1/136	6 0 0
H 0 1 L 29/788			H 0 1 L 29/78	6 1 2 C
				6 1 6 U

審査請求 未請求 請求項の数 8 O L (全 10 頁)

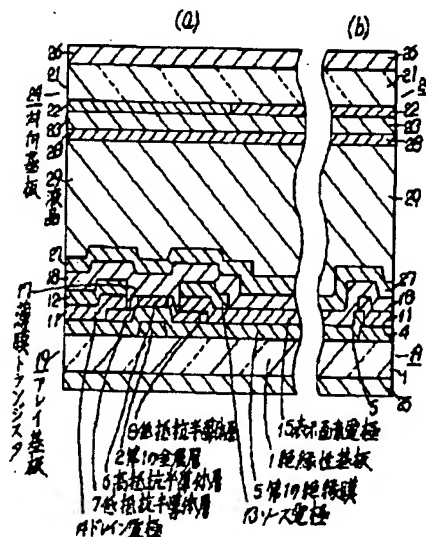
(21)出願番号	特願平7-122452	(71)出願人	000003078 株式会社東芝 神奈川県川崎市幸区堀川町72番地
(22)出願日	平成7年(1995)5月22日	(72)発明者	三浦 晴彦 神奈川県横浜市磯子区新杉田町8 株式会 社東芝横浜事業所内
		(72)発明者	カッカード ラメシュ 神奈川県横浜市磯子区新杉田町8 株式会 社東芝横浜事業所内
		(72)発明者	渡沢 誠 神奈川県横浜市磯子区新杉田町8 株式会 社東芝横浜事業所内
		(74)代理人	弁護士 榊澤 廣 (外2名) 最終頁に続く

(54)【発明の名称】 アレイ基板、その製造方法、液晶表示装置およびその製造方法

(57)【要約】

【目的】 性能の低下あるいは歩留まりを低下させることなく、製造工程を削減できる液晶表示装置を提供する。

【構成】 ガラス基板1の一主面にゲート電極2を形成し、酸化シリコンのゲート絶縁膜5を形成する。ゲート電極2に対応するゲート絶縁膜5上に高抵抗型アモルファスシリコン層6を形成し、隣接して低抵抗型多結晶シリコン層7、8を形成する。ITOの透明導電膜11およびモリブデン層12を積層してソース電極13およびドレイン電極14を形成し、ソース電極13側の透明導電膜11を延設して表示面電極15を形成する。保護トランジスタ17上に、酸化シリコンの保護絶縁膜18を全面的に形成し、マトリクスアレイ基板19を構成する。ガラス基板21に、カラーフィルタ22および対向電極23を積層形成し、対向基板24を形成する。マトリクスアレイ基板19および対向基板24間に液晶29を封入挟持する。



【特許請求の範囲】

【請求項1】 絶縁性基板の一主面上に形成された第1の金属層、この第1の金属層を含む前記絶縁性基板上に形成された第1の絶縁膜、この第1の絶縁膜上の前記第1の金属層に対応した領域に形成された高抵抗半導体層、前記第1の絶縁膜上の前記高抵抗半導体層に隣接する領域に形成された5族元素を含む低抵抗半導体層、および、この低抵抗半導体層上に位置して設けられた第2の金属層のソース電極およびドレイン電極を有しマトリクス状に形成された薄膜トランジスタと、

この薄膜トランジスタに対応してマトリクス状に設けられ前記ソース電極に接続された透明導電膜の表示画素電極と、

前記透明導電膜および前記第2の金属層の2層により構成された前記薄膜トランジスタのドレイン電極に対応し列状に設けられたドレイン配線とを具備したことを特徴とするアレイ基板、

【請求項2】 絶縁性基板の一主面上に形成された第1の金属層、この第1の金属層を含む前記絶縁性基板上に形成された第1の絶縁膜、この第1の絶縁膜上の前記第1の金属層に対応した領域に形成された高抵抗半導体層、前記第1の絶縁膜上の前記高抵抗半導体層に隣接する領域に前記第1の絶縁膜に対応して形成された5族元素を含む低抵抗半導体層、および、この低抵抗半導体層上に位置して設けられた第2の金属層のソース電極およびドレイン電極を有しマトリクス状に形成された薄膜トランジスタと、

この薄膜トランジスタに対応してマトリクス状に設けられ前記ソース電極に接続された透明導電膜の表示画素電極と、

前記透明導電膜および前記第2の金属層の2層により構成された前記薄膜トランジスタのドレイン電極に対応し列状に設けられたドレイン配線とを具備したことを特徴とするアレイ基板、

【請求項3】 絶縁性基板の一主面上に形成された第1の金属層、この第1の金属層を含む前記絶縁性基板上に形成された第1の絶縁膜、この第1の絶縁膜上の前記第1の金属層に対応した領域に形成された高抵抗半導体層、前記第1の絶縁膜上の前記高抵抗半導体層に隣接する領域に前記第1の絶縁膜に対応して形成された5族元素を含む低抵抗半導体層、この低抵抗半導体層の一部が重ねて形成されるとともに積層された透明導電膜および第2の金属層のソース電極およびドレイン電極を有しマトリクス状に設けられた薄膜トランジスタと、

この薄膜トランジスタに対応してマトリクス状に設けられ前記透明導電膜と一体的に形成された表示画素電極と、

前記透明導電膜および前記第2の金属層の2層により構成された前記薄膜トランジスタのドレイン電極に対応し列状に設けられたドレイン配線とを具備したことを特徴

とするアレイ基板、

【請求項4】 請求項1ないし3いずれか記載のアレイ基板と、

このアレイ基板に対向して設けられた対向基板と、

前記アレイ基板および対向基板間に設けられた液晶とを具備したことを特徴とする液晶表示装置、

【請求項5】 絶縁性基板の一主面上に第1の金属層パターンを形成する工程と、

この第1の金属層パターンを含む絶縁性基板上に第1の絶縁膜および高抵抗；型アモルファスシリコン層および5族元素を含む絶縁体層あるいは5族元素の導電体層を順次成膜する工程と、

前記絶縁性基板の前記第1の金属層パターンの形成面とは反対側からレーザー光を照射し前記第1の金属層パターンで透光されない領域の前記高抵抗；型アモルファスシリコン層を多結晶シリコン化すると同時に6族元素をドーピングして低抵抗n型多結晶シリコン層を形成する工程と、

前記低抵抗n型多結晶シリコン層および前記高抵抗；型アモルファスシリコン層の少なくともいずれか一方をパターンニングする工程と、

これら低抵抗n型多結晶シリコン層および高抵抗；型アモルファスシリコン層の少なくともいずれか一方がパターンニングされた前記絶縁性基板上に透明導電膜および第2の金属層を順次成膜する工程と、

この第2の金属層および前記透明導電膜を同一形状にパターンニングする工程と、

これら第2の金属層および透明導電膜がパターンニングされた前記絶縁性基板上に第2の絶縁膜を成膜してパターンニングする工程と、

露出した前記第2の金属層を前記第2の絶縁膜パターンをマスクにして除去する工程とを具備したことを特徴とするアレイ基板の製造方法、

【請求項6】 絶縁性基板の一主面上に第1の金属層パターンを形成する工程と、

この第1の金属層パターンを含む絶縁性基板上に第1の絶縁膜および高抵抗；型アモルファスシリコン層および5族元素を含む絶縁体層あるいは5族元素の導電体層を順次成膜する工程と、

前記絶縁性基板の前記第1の金属層パターンの形成面とは反対側からレーザー光を照射し前記第1の金属層パターンで透光されない領域の前記高抵抗；型アモルファスシリコン層を多結晶シリコン化すると同時に6族元素をドーピングして低抵抗n型多結晶シリコン層を形成する工程と、

前記低抵抗n型多結晶シリコン層あるいは前記高抵抗；型アモルファスシリコン層および第1の絶縁膜を同一形状にパターンニングする工程と、

これら低抵抗n型多結晶シリコン層あるいは高抵抗；型アモルファスシリコン層および第1の絶縁膜が同一形状

にパターニングされた絶縁性基板上に透明導電膜を成膜する工程と、

前記透明導電膜をパターニングする工程と、

第2の金属層を成膜しパターニングする工程と、

この第2の金属層がパターニングされた絶縁性基板上に第2の絶縁膜を成膜しパターニングする工程とを具備したことを特徴とするアレキ基板の製造方法。

【請求項7】 絶縁性基板の一主面上に第1の金属層パターンを形成する工程と、

この第1の金属層パターンを含む絶縁性基板上に第1の絶縁膜および高抵抗 $n$ 型アモルファスシリコン層および6族元素を含む絶縁体層あるいは5族元素の導電体層を順次成膜する工程と、

前記絶縁性基板の前記第1の金属層パターンの形成面とは反対側からレーザー光を照射し前記第1の金属層パターンで遮光されない領域の前記高抵抗 $n$ 型アモルファスシリコン層を多結晶シリコン化すると同時に5族元素をドーピングして低抵抗 $n$ 型多結晶シリコン層を形成する工程と、

前記低抵抗 $n$ 型多結晶シリコン層あるいは前記高抵抗 $n$ 型アモルファスシリコン層と第1の絶縁膜を同一形状にパターニングする工程と、

これら低抵抗 $n$ 型多結晶シリコン層あるいは高抵抗 $n$ 型アモルファスシリコン層および第1の絶縁膜がパターニングされた絶縁性基板上に透明導電膜および第2の金属層を順次成膜する工程と、

これら第2の金属層および透明導電膜を同一形状にパターニングする工程と、

これら第2の金属層および透明導電膜がパターニングされた絶縁性基板上に第2の絶縁膜を成膜してパターニングする工程と、

露出した前記第2の金属層を前記第2の絶縁膜パターンをマスクにして除去する工程とを具備したことを特徴とするアレキ基板の製造方法。

【請求項8】 請求項5ないし7いずれか記載のアレキ基板の製造方法によりアレキ基板を製造する工程と、

このアレキ基板に対向して対向基板を貼り合わせる工程と、

前記アレキ基板および対向基板間に液晶を封入する工程とを具備したことを特徴とする液晶表示装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、薄膜トランジスタを備えたアレキ基板、その製造方法、液晶表示装置およびその製造方法に関する。

【0002】

【従来の技術】 近年、液晶表示装置のアレキ基板を製造する際の製造工程を簡略化する製造方法が主々用いられている。

【0003】 この製造工程を簡略化する構成として、従来、たとえば特開昭61-42961号公報に記載の構成が知られている。

【0004】 この特開昭61-42961号公報に記載の構成では、ゲート電極上に形成されたソース領域およびドレイン領域を有する低抵抗 $n$ 型アモルファスシリコン層上に、表示画素電極となる透明導電膜およびソース電極およびドレイン電極となる金属膜を連続的に成膜し、1回の工程で透明導電膜および金属膜をパターニングし、ドレイン電極およびソース電極と一体のソース電極を形成している。

【0005】 ところが、低抵抗アモルファスシリコンおよび透明導電膜が直接接触する。このため、透明導電膜にITO (Indium Tin Oxide) を用いた場合、ITO中のInが低抵抗 $n$ 型アモルファスシリコン中に拡散し、P型ドーパントであるInの影響でソース領域およびドレイン領域の抵抗が上昇し、オン特性を損ねる。

【0006】 また、他の構成として、たとえば特開昭62-32561号公報に記載の構成が知られている。

【0007】 この特開昭62-32561号公報に記載の構成では、ゲート電極上にゲート絶縁膜を介して高抵抗アモルファスシリコン層を形成し、この高抵抗アモルファスシリコン層に隣接して低抵抗 $n$ 型アモルファスシリコン層を形成している。そして、高抵抗アモルファスシリコン層、低抵抗 $n$ 型アモルファスシリコン層およびゲート絶縁膜を1度にエッチングによりパターニングしている。

【0008】 ところが、3層に対して良好なエッチング比を設定することが困難であり、歩留まりが低下するおそれがある。

【0009】

【発明が解決しようとする課題】 上述のように、製造工程を削減することにより、抵抗の上昇によるオン特性の低下、あるいは、歩留まりが低下するおそれがある問題を有している。

【0010】 本発明は、上記問題点に鑑みなされたもので、性能の低下あるいは歩留まりを低下させることなく、製造工程を削減できるアレキ基板、その製造方法、液晶表示装置およびその製造方法を提供することを目的とする。

【0011】

【課題を解決するための手段】 本発明は、絶縁性基板の一主面上に形成された第1の金属層、この第1の金属層を含む前記絶縁性基板上に形成された第1の絶縁膜、この第1の絶縁膜上の前記第1の金属層に対応した領域に形成された高抵抗半導体層、前記第1の絶縁膜上の前記高抵抗半導体層に隣接する領域に形成された5族元素を含む低抵抗半導体層、および、この低抵抗半導体層上に設けられた第2の金属層のソース電極およびドレイン電極を有しマトリクス状に形成された薄膜トランジスタ

と、この薄膜トランジスタに対応してマトリクス状に設けられ透明導電膜の表示画素電極と、前記透明導電膜および前記第2の金属層の2層により構成された前記薄膜トランジスタのドレイン電極に対応し列状に設けられたドレイン配線とを具備したものである。

【0012】

【作用】本発明は、低抵抗半導体層でソース領域およびドレイン領域を形成することにより、抵抗値が低下してオン特性を損ねず、また、ソース領域およびドレイン領域は低抵抗半導体層の1層のみであるため、連続エッチングを行なう場合にも、低抵抗半導体層およびゲート絶縁膜の2層をエッチングすればよい。エッチング選択比を設定しやすく、歩留まりも向上する。

【0013】

【実施例】以下、本発明の一実施例を図面に示す液晶表示装置を参照して説明する。

【0014】図1において、1は絶縁性基板としてのガラス基板で、このガラス基板1の一主面には選択的にたとえばクロム(Cr)などの第1の金属層にて形成されるゲート電極2が形成され、このゲート電極2は行毎に、図2に示すように、走査線3と一体的に形成され、この走査線3の一端にはゲートパッド4が形成されている。

【0015】また、ゲート電極2を含むガラス基板1上には、第1の絶縁膜としての酸化シリコン(SiO)のゲート絶縁膜5が形成され、ゲート電極2に対応するゲート絶縁膜5上には高抵抗半導体層としての高抵抗i型アモルファスシリコン(a-Si)層6が形成され、この高抵抗i型アモルファスシリコン層6に隣接してソース領域およびドレイン領域となる低抵抗n型多結晶シリコン層7、8が形成されている。

【0016】さらに、低抵抗n型多結晶シリコン層7、8上には、ITO(Indium Tin Oxide)の透明導電膜11および第2の金属層であるモリブデン(Mo)層12が積層されたソース電極13およびドレイン電極14がそれぞれ形成され、ソース電極13側の透明導電膜11は延設されて表示画素電極15を形成している。

【0017】また、ドレイン電極14は、図2に示すように、列毎に信号線18と一体的に形成されている。

【0018】そして、これらゲート電極2ないしソース電極13およびドレイン電極14などにて薄膜トランジスタ(Thin Film Transistor)17が形成されている。

【0019】さらに、この薄膜トランジスタ17上には、窒化シリコン(SiN)の保護絶縁膜18が全面的に形成されて、マトリクスアレイ基板19が構成される。

【0020】一方、同様に絶縁性基板であるガラス基板21の一主面に、赤(R)、緑(G)および青(B)のカラーフィルタ22および対向電極23が積層形成され、対向基板24が形成されている。

【0021】そして、マトリクスアレイ基板19および対

向基板24のガラス基板1、21の他主面に偏光板25、26がそれぞれ貼着され、それぞれ対向する面にはポリイミド膜27、28が形成され、マトリクスアレイ基板19および対向基板24が対向して貼着されて、マトリクスアレイ基板19および対向基板24間に液晶29が封入保持されている。

【0022】次に、上記実施例の製造方法について説明する。

【0023】まず、図3に示すように、ガラス基板1上にクロムを3000オングストロームの厚さに成膜した後、フォトリソグラフィ法を用いてゲート電極2、走査線3およびゲートパッド4を形成する。

【0024】次に、図4に示すように、ゲート電極2を含むガラス基板1上に、たとえば3000オングストロームの酸化シリコン(SiO)膜31、および、500オングストロームの高抵抗i型アモルファスシリコン(a-Si)膜32をプラズマCVD法で順次成膜し、さらに、たとえば5族元素であるリン(P)を含む1000オングストロームのSOG(Spin On Glass)膜33をスピニングおよびアニールにより成膜する。

【0025】そして、図5に示すように、ガラス基板1の裏面側から、たとえばXeF<sub>2</sub>ガスを用いたエキシマレーザー光を照射し、ゲート電極2で遮光されない領域の高抵抗i型アモルファスシリコン膜32を多結晶化するとともに、この領域のみにリンをドーピングし、ゲート電極2上にチャネル層となる高抵抗i型アモルファスシリコン層6をゲート電極2上に整合させて残存させ、この高抵抗i型アモルファスシリコン層6に隣接した領域にソース領域およびドレイン領域となる低抵抗n型多結晶シリコン膜34が形成され、SOG膜33はレーザー照射後に全て除去する。

【0026】また、図6に示すように、フォトリソグラフィ法を用いて低抵抗n型多結晶シリコン層7、8、または、高抵抗i型アモルファスシリコン層6をパターニングする。

【0027】さらに、図7に示すように、ゲートパッド4上の酸化シリコン膜31をフォトリソグラフィ法を用いてエッチング除去する。

【0028】ついで、図8に示すように、たとえば1000オングストロームのITOの透明導電膜11、および、3000オングストロームのモリブデン層12をスパッタ法で順次成膜する。

【0029】次に、図9に示すように、フォトリソグラフィ法を用いて透明導電膜11およびモリブデン層12を同一形状でパターニングし、ソース電極13およびドレイン電極14を形成し、薄膜トランジスタ17を形成する。

【0030】さらに、図10に示すように、たとえば3000オングストロームの保護絶縁膜18をプラズマCVD法で成膜し、フォトリソグラフィ法を用いて不要部分を除去する。この際、パターンあるいはパターニングに用いたレジストをマスクとして、透明導電膜11上のモリ

ブデン層12もエッチング除去し、透明導電膜11を露出させて表示画素電極15を形成し、マトリクスアレイ基板19を形成する。

【0031】最後に、ガラス基板21上にカラーフィルタ22および対向電極23が積層形成された対向基板24を対向させ、ガラス基板1およびガラス基板21のそれぞれ他主面に偏光板25、26を設け、マトリクスアレイ基板19および対向基板24のそれぞれ対向する面に、ポリイミド膜27、28を形成して、マトリクスアレイ基板19および対向基板24を対向させ、これらマトリクスアレイ基板19および対向基板24間に液晶29を封入を保持して液晶表示装置を完成させる。

【0032】上記実施例によれば、表示画素電極15および信号線16を同時に形成することにより、フォトリソグラフィ工程およびエッチング工程を従来より1工程減らすことができ、また、高抵抗型アモルファスシリコン膜32をレーザ拡散させて低抵抗型多結晶シリコン層7、8を形成するので、エッチングストップ層も不要になり、さらに1工程減らすことができ、フォトリソグラフィ工程およびエッチング工程が従来の7工程から5工程に減り、レーザ拡散の簡単な構成で低抵抗化を図ることができる。

【0033】次に、他の実施例の液晶表示装置を図11ないし図18を参照して説明する。

【0034】この図18に示す液晶表示装置は、図1に示す液晶表示装置において、酸化シリコン(SiO)のゲート絶縁膜5を薄膜トランジスタ17の部分にのみ形成され、ソース電極13およびドレイン電極14をモリブデンの1層で形成されている。また、表示画素電極15の透明導電膜11はソース電極13と別体で形成されているものである。

【0035】次に、上記実施例の製造方法について説明する。

【0036】まず、図11ないし図13に示す工程は、図3ないし図5に示す工程と同様に行なわれる。

【0037】そして、図14に示すように、フォトリソグラフィ法を用いて低抵抗型多結晶シリコン層7、8、または、高抵抗型アモルファスシリコン層6およびゲート絶縁膜5を同一パターンでパターニングする。

【0038】ついで、図15に示すように、たとえば1000オングストロームのITOの透明導電膜をスパッタ法で成膜してフォトリソグラフィ法を用いて表示画素電極15を形成する。

【0039】次に、図16に示すように、3000オングストロームの第2の金属層であるモリブデン層12をスパッタ法で成膜し、フォトリソグラフィ法を用いてソース電極13、ドレイン電極14および図2に示す信号線16を形成する。

【0040】さらに、図17に示すように、たとえば3000オングストロームの保護絶縁膜18をプラズマCVD

D法で成膜し、フォトリソグラフィ法を用いて不要部分の保護絶縁膜を除去する。なお、この際、表示画素電極15上の保護絶縁膜も除去し、マトリクスアレイ基板19を形成する。

【0041】最後に、図18に示すように、図1に示す場合と同様に、マトリクスアレイ基板19に対向基板24を対向させ液晶29を封入保持などを行うことにより、液晶表示装置を形成する。

【0042】上記実施例によれば、低抵抗型多結晶シリコン層7、8およびいわゆる接続用のスルーホールを同時に形成することにより、フォトリソグラフィ工程およびエッチング工程を従来より1工程減らすことができ、また、高抵抗型アモルファスシリコン膜32をレーザ拡散させて低抵抗型多結晶シリコン層7、8を形成するので、エッチングストップ層も不要になり、さらに1工程減らすことができ、フォトリソグラフィ工程およびエッチング工程が従来の7工程から5工程に減り、レーザ拡散の簡単な構成で低抵抗化を図ることができる。

【0043】さらに、他の実施例の液晶表示装置を図19ないし図26を参照して説明する。

【0044】この図26に示す液晶表示装置は、図18に示す液晶表示装置において、ソース電極13およびドレイン電極14を、透明導電膜11およびモリブデン層12の2層の積層膜で形成するとともに、ソース電極13の透明導電膜11を表示画素電極15と共通化したものである。

【0045】次に、上記実施例の製造方法について説明する。

【0046】まず、図19ないし図22に示す工程は、図11ないし図14に示す工程と同様に行なわれる。

【0047】そして、図23に示すように、たとえば1000オングストロームのITOの透明導電膜11および3000オングストロームの第2の金属層であるモリブデン層12をスパッタ法で順次成膜する。

【0048】次に、図24に示すように、フォトリソグラフィ法を用いて透明導電膜11およびモリブデン層12を同一形状でパターニングし、ソース電極13およびドレイン電極14を形成する。

【0049】さらに、図25に示すように、たとえば3000オングストロームのSiNの保護絶縁膜18をプラズマCVD法で成膜し、フォトリソグラフィ法を不要部分の保護絶縁膜を除去する。この際、表示画素電極15上の保護絶縁膜も除去し、このパターンあるいはパターニングに用いたレジストをマスクとして、表示画素電極15上のモリブデン層12もエッチング除去し、表示画素電極15を露出させる。

【0050】最後に、図26に示すように、図18に示す場合と同様に、マトリクスアレイ基板19に対向基板24を対向させ液晶29を封入保持などを行うことにより、液晶表示装置を形成する。

【0051】上記実施例によれば、表示画素電極15およ

び信号線16を同時に形成することにより、フォトリソグラフィ工程およびエッチング工程を従来より1工程減らすことができ、また、低抵抗 $\alpha$ 型多結晶シリコン層7、8およびいわゆる接続用のスルーホールを同時に形成することにより、フォトリソグラフィ工程およびエッチング工程を従来より1工程減らすことができ、さらに、高抵抗 $\beta$ 型アモルファスシリコン膜32をレーザ拡散させて低抵抗 $\alpha$ 型多結晶シリコン層7、8を形成するので、エッチングストップ層も不要になり、1工程減らすことができ、フォトリソグラフィ工程およびエッチング工程が従来の7工程から4工程に減り、レーザ拡散の簡単な構成で低抵抗化を図ることができる。

【0052】上記いずれの実施例の液晶表示装置でも、ソース領域およびドレイン領域は低抵抗 $\alpha$ 型多結晶シリコン層7、8にて形成しているため、抵抗値を十分に低くでき、オン特性を低下させることのない薄膜トランジスタ17を形成できる。

【0053】また、エッチングは多くても2層、すなわち透明導電膜11およびモリブデン層12であるため、従来のように3層のエッチングは行わないので、エッチング選択比を容易に設定できる。

【0054】さらに、低抵抗多結晶シリコンは $\alpha$ -Si層の一部をレーザを照射することにより作製するため、従来のソース・ドレイン領域のような低抵抗 $\alpha$ -Si層/高抵抗 $\beta$ 型 $\alpha$ -Si層という2層構造が低抵抗多結晶シリコンのみの1層構造となり、低抵抗 $\alpha$ -Si層/高抵抗 $\beta$ 型 $\alpha$ -Si層/ゲート絶縁膜を連続エッチングを行なう場合、低抵抗多結晶シリコン層/ゲート絶縁膜の2層をエッチングすればよいので、エッチング選択比をとり易い。

【0055】また、層が一層減るために段差も小さくなりその段差を乗り越えなければならない透明導電膜11の断切れ等の不具合も起きにくくなる。

【0056】したがって、大画面、高精細であり、製造プロセスが簡略化されたアクティブマトリクス型液晶表示装置を製造できる。

【0057】なお、5価の元素としては、リン(P)に限らず、アンチモン(Sb)などを用いても同様な効果を得ることができる。

【0058】

【発明の効果】本発明によれば、低抵抗半導体層でソース領域およびドレイン領域を形成することにより、抵抗値が低下してオン特性を損ねず、また、ソース領域およびドレイン領域は低抵抗半導体層の1層のみであるため、連続エッチングを行なう場合にも、低抵抗半導体層およびゲート絶縁膜の2層をエッチングすればよいので、エッチング選択比を設定しやすく、歩留まりも向上し、製造プロセスが簡略化され、かつ大画面、高精細にできる。

【図面の簡単な説明】

【図1】本発明の一実施例の液晶表示装置を示す断面図である。

【図2】同上液晶表示装置のマトリクスアレイ基板を示す平面図である。

【図3】同上マトリクスアレイ基板の一製造工程を示す断面図である。

【図4】同上マトリクスアレイ基板の図3の次の製造工程を示す断面図である。

【図5】同上マトリクスアレイ基板の図4の次の製造工程を示す断面図である。

【図6】同上マトリクスアレイ基板の図5の次の製造工程を示す断面図である。

【図7】同上マトリクスアレイ基板の図6の次の製造工程を示す断面図である。

【図8】同上マトリクスアレイ基板の図7の次の製造工程を示す断面図である。

【図9】同上マトリクスアレイ基板の図8の次の製造工程を示す断面図である。

【図10】同上マトリクスアレイ基板の図9の次の製造工程を示す断面図である。

【図11】同上他の実施例の液晶表示装置のマトリクスアレイ基板の一製造工程を示す断面図である。

【図12】同上マトリクスアレイ基板の図11の次の製造工程を示す断面図である。

【図13】同上マトリクスアレイ基板の図12の次の製造工程を示す断面図である。

【図14】同上マトリクスアレイ基板の図13の次の製造工程を示す断面図である。

【図15】同上マトリクスアレイ基板の図14の次の製造工程を示す断面図である。

【図16】同上マトリクスアレイ基板の図15の次の製造工程を示す断面図である。

【図17】同上マトリクスアレイ基板の図16の次の製造工程を示す断面図である。

【図18】同上液晶表示装置を示す断面図である。

【図19】同上また他の実施例の液晶表示装置のマトリクスアレイ基板の一製造工程を示す断面図である。

【図20】同上マトリクスアレイ基板の図19の次の製造工程を示す断面図である。

【図21】同上マトリクスアレイ基板の図20の次の製造工程を示す断面図である。

【図22】同上マトリクスアレイ基板の図21の次の製造工程を示す断面図である。

【図23】同上マトリクスアレイ基板の図22の次の製造工程を示す断面図である。

【図24】同上マトリクスアレイ基板の図23の次の製造工程を示す断面図である。

【図25】同上マトリクスアレイ基板の図24の次の製造工程を示す断面図である。

【図26】同上液晶表示装置を示す断面図である。

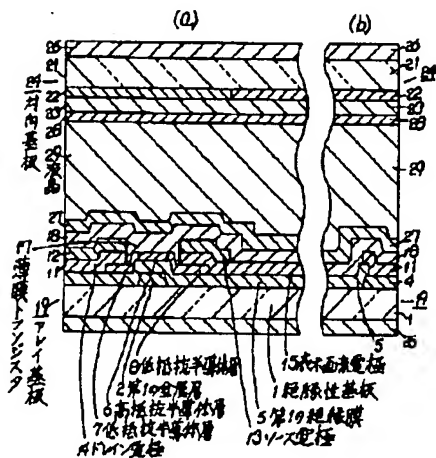


【符号の説明】

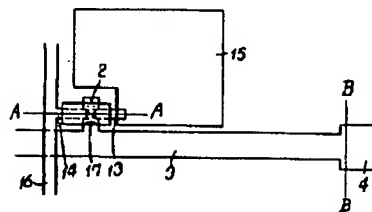
- 1 絶縁性基板としてのガラス基板
- 2 第1の金属層としてのゲート電極
- 5 第1の絶縁膜としてのゲート絶縁膜
- 6 高低抗半導体層としての高低抗i型アモルファスシリコン層
- 7, 8 低抵抗半導体層としての低抵抗n型多結晶シリコン層

- 12 第2の金属層としてのモリブデン層
- 13 ソース電極
- 14 ドレイン電極
- 15 表示素子電極
- 17 薄膜トランジスタ
- 18 マトリクスアレイ基板
- 24 対向基板
- 29 液晶

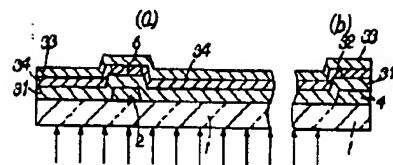
【図1】



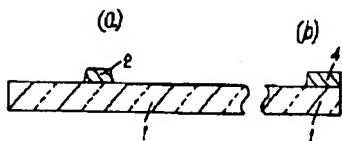
【図2】



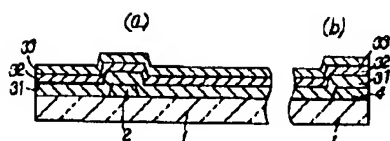
【図5】



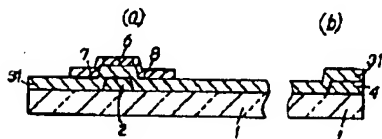
【図3】



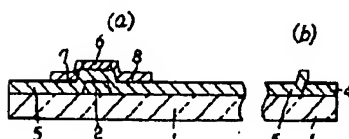
【図4】



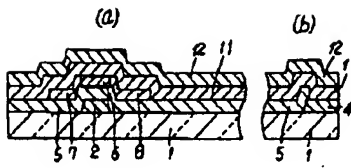
【図6】



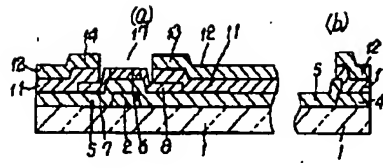
【図7】



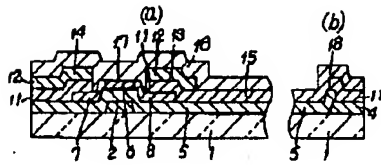
【图 8】



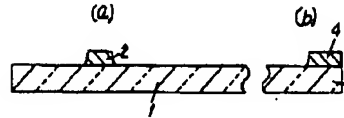
【图 9】



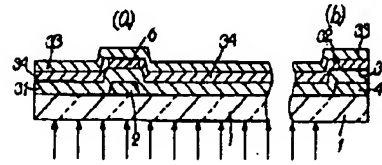
【图 10】



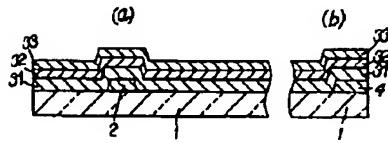
【图 11】



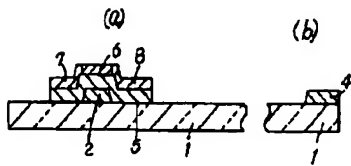
【图 13】



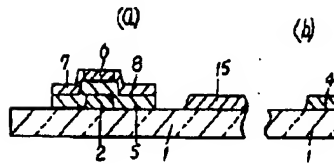
【图 12】



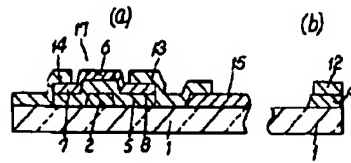
【图 14】



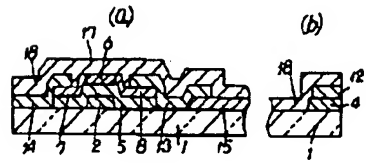
【图 15】



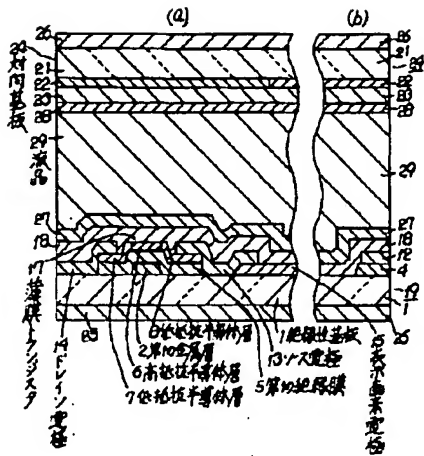
【图 16】



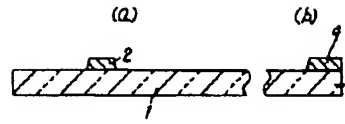
【图 17】



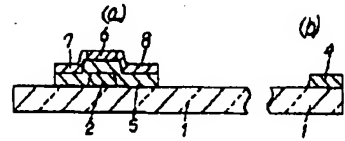
【図18】



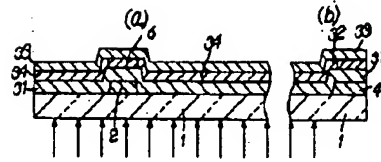
【図19】



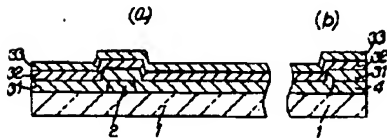
【図20】



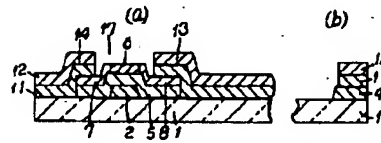
【図21】



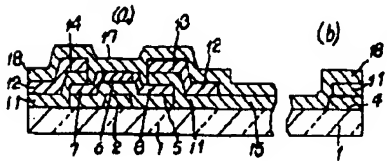
【図22】



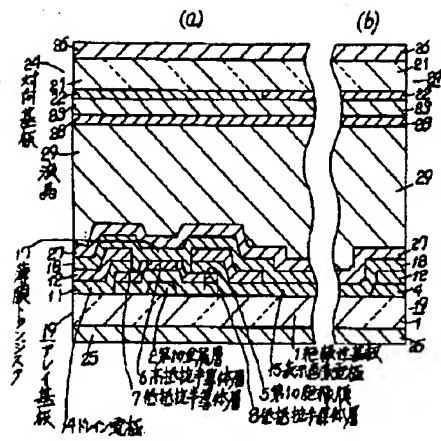
【図23】



【図24】



【図26】



フロントページの続き

(72)発明者 本城 益司

神奈川県横浜市磯子区新杉田町8 株式会社  
社東芝横浜事業所内

(72)発明者 神内 紀秀

神奈川県横浜市磯子区新杉田町8 株式会社  
社東芝横浜事業所内